

SEMICONDUCTOR MEMORY

Patent Number: JP2002230996
Publication date: 2002-08-16
Inventor(s): SAWADA SEIJI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP2002230996
Application: JP20010020383 20010129
Priority Number(s):
IPC Classification: G11C29/00; G01R31/28; G01R31/3185;
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which many test modes can be provided without being restricted by the number of external pins.

SOLUTION: When an external address signal Ext.A<7> is set to a H level at the time of setting a mode register in a SDRAM, it becomes in a state in which a test mode can be set. When the device has one command activating a test mode select-signal TMSelect being a shift clock of a shift register, the device can be set to a desired test mode where desire one among TM001-TM00n is made able to be activated. Therefore, when one combination of address signals is made to correspond to this command, the number of test modes can be increased without being restricted by the number of input pins of an address signal.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-230996
(P2002-230996A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 T 2 G 1 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 B 0 2 4
31/3185			W 5 L 1 0 6
G 1 1 C 11/401		G 1 1 C 11/34	3 7 1 A

審査請求 未請求 請求項の数9 OL (全 17 頁)

(21)出願番号 特願2001-20383(P2001-20383)

(22)出願日 平成13年1月29日(2001.1.29)

(71)出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 澤田 誠二

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 2G132 AA08 AG08 AK18 AL25

5B024 AA15 BA21 BA29 CA07 CA22

EA04

5L106 AA01 DD11 GG01 GG03 GG05

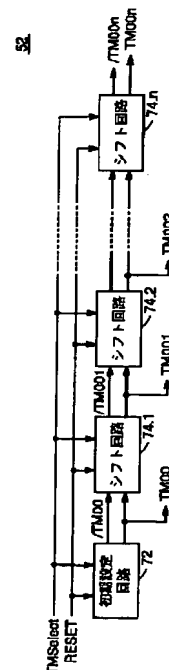
GG07

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 外部ピン数に制限されず多くのテストモードを備えることが可能な半導体記憶装置を提供する。

【解決手段】 SDRAMにおいてモードレジスタセット時に外部アドレス信号Ext. A<7>をHレベルに設定するとアドレス信号によってテストモードを設定できる状態となる。シフトレジスタのシフトクロックであるテストモードセレクト信号TMSelectを活性化させるコマンド1つを有しておれば、テストモード信号TM001~TM00nのうち所望の1つを活性化させる状態に設定することが可能となる。したがって、アドレス信号の1の組合せをこのコマンドに対応づければ、アドレス信号の入力ピン数に制限されずテストモードを増やすことも可能となる。



【特許請求の範囲】

【請求項1】 複数のテストモードを有する半導体記憶装置であって、

カウント値を保持し、リセット信号に応じて前記カウント値を初期化し、クロック信号に応じて前記カウント値を増減させるカウント動作を行ない、前記カウント値に応じて前記複数のテストモードにそれぞれ対応する複数のテストモード信号を出力するテスト回路と、前記複数のテストモード信号に応じて前記複数のテストモードに対応するテスト動作を行なう内部回路とを備える、半導体記憶装置。

【請求項2】 前記内部回路は、行列状に配列された複数のメモリセルを有し、アドレス信号および制御信号に応じて前記複数のメモリセルに対するデータの授受を行なうデータ記憶部を含み、前記テスト回路は、前記アドレス信号および前記制御信号が所定の第1の設定に一致した場合に前記クロック信号に応じて第1のテストクロック信号を出力する制御回路と、前記カウント値を保持し、前記リセット信号に応じて前記カウント値を初期化し、前記第1のテストクロック信号に応じて前記カウント値を増加させるカウント動作を行なう第1のカウント手段とを含む、請求項1に記載の半導体記憶装置。

【請求項3】 前記第1のカウント手段は、前記リセット信号に応じて、第1の論理値を保持する初期状態となり、前記第1のテストクロック信号に応じて前記第1の論理値の反転値を保持する第1の保持回路と、前記第1の保持回路の出力を受け、前記リセット信号に応じて、前記第1の論理値の反転値を保持する初期状態となり、直列に接続される複数の第2の保持回路とを含み、前記複数の第2の保持回路の各々は、前記第1のテストクロック信号に同期してデータを受け次段に伝達する、請求項2に記載の半導体記憶装置。

【請求項4】 前記テスト回路は、第2のテストクロック信号に応じて前記第1のカウント手段の出力をラッチするテストモード保持手段をさらに含み、前記テストモード保持手段は、前記アドレス信号および前記制御信号が所定の第2の設定に一致した場合に前記クロック信号に応じて前記第2のテストクロック信号を出力するラッチ制御回路と、前記リセット信号に応じて初期化され、前記複数の第2の保持回路の出力を前記第2のテストクロック信号に応じてそれぞれラッチする複数のラッチ回路とを有する、請求項3に記載の半導体記憶装置。

【請求項5】 各前記ラッチ回路は、前記リセット信号に応じて前記第1の論理値の反転値を保持する初期状態

となり、入力に前記第1の論理値が与えられているときに、前記第2のテストクロック信号が変化すると前記第1の論理値を保持し、一旦前記第1の論理値を保持した後は、入力に前記第1の論理値の反転値が与えられている場合に前記第2のテストクロック信号が変化しても前記第1の論理値を保持しつづける、請求項4に記載の半導体記憶装置。

【請求項6】 前記テスト回路は、第3のテストクロック信号の活性化に応じて前記テストモード保持手段の出力を前記内部回路に出力するテスト信号出力手段をさらに含む、請求項4に記載の半導体記憶装置。

【請求項7】 前記テスト回路は、第2のカウント値を保持し、前記リセット信号に応じて前記第2のカウント値を初期化し、第3のテストクロック信号に応じて前記第2のカウント値を増加させるカウント動作を行ない、前記複数の第2の保持回路のうちの前記第2のカウント値に対応する部分を初期化する第2のカウント手段をさらに含む、請求項4に記載の半導体記憶装置。

【請求項8】 前記第2のカウント手段は、前記リセット信号に応じて、第2の論理値を保持する初期状態となる第3の保持回路と、前記第3の保持回路の出力を受け、前記リセット信号に応じて、前記第2の論理値の反転値を保持する初期状態となり、直列に接続される複数の第4の保持回路とを含み、前記複数の第4の保持回路の各々は、前記第3のテストクロック信号に同期してデータを受け次段に伝達する、請求項7に記載の半導体記憶装置。

【請求項9】 前記テスト回路は、第4のテストクロック信号の活性化に応じて前記テストモード保持手段の出力を前記内部回路に出力するテスト信号出力手段をさらに含む、請求項7に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には半導体記憶装置のテストモードの設定に関する。

【0002】

【従来の技術】シンクロナスダイナミックランダムアクセスメモリ（SDRAM）におけるテストモードへの設定方法は、JEDEC（Joint Electron Device Engineering Council：電子素子標準化委員会）で標準化されている。

【0003】SDRAMでは、制御信号Ext. /CS, Ext. /RAS, Ext. /CAS, Ext. /WEをすべて“L”レベルに設定することにより、モードレジスタセットコマンドを入力することができる。

【0004】JEDECによる標準仕様では、モードレジスタコマンド入力時にアドレス信号ADD<7>を“H”に設定しておくことにより、SDRAMはテストモードの設定が行なわれることを認識する。このときに、アドレス信号ADD<0>～ADD<6>の組み合わせによって、SDRAMに種々のテストモードを設定することが可能である。

【0005】図18は、従来の半導体記憶装置におけるテストモードの設定に関する回路構成を示した図である。

【0006】図18を参照して、従来の半導体記憶装置は、外部クロック信号Ext. CLKを受けて内部クロック信号Int. CLKを出力する入力バッファ532と、制御信号Ext. /CS, Ext. /RAS, Ext. /CAS, Ext. /WEを受けて内部制御信号Int. /CS, Int. /RAS, Int. /CAS, Int. /WEを出力する制御信号入力バッファ506と、内部クロック信号Int. CLK, および制御信号Int. /CS, Int. /RAS, Int. /CAS, Int. /WEに応じて入力コマンドを検出するコマンドデコーダ546を含む。

【0007】制御信号入力バッファ506は、制御信号Ext. /CS, Ext. /RAS, Ext. /CAS, Ext. /WEをそれぞれ受けて内部制御信号Int. /CS, Int. /RAS, Int. /CAS, Int. /WEを出力する入力バッファ534, 536, 538, 540を含む。

【0008】従来の半導体記憶装置は、さらに、アドレスバッファ502と、コマンドデコーダからモードレジスタセットコマンド時に活性化される信号MRSを受けアドレスバッファから内部アドレス信号Int. ADD<7>を受けてテストモード信号TMRSを出力するAND回路548と、テストモード信号TMRSが活性化されているときにアドレスバッファ502から与えられる内部アドレス信号Int. ADD<0:6>に応じてテストモード信号TM001～TM00nを出力するテストモードデコーダ552を含む。テストモードデコーダ552は、リセット信号RESETの活性化により初期化される。

【0009】図19は、図18におけるテストモードデコーダ552の構成を示した回路図である。

【0010】図19を参照して、テストモードデコーダ552は、内部アドレス信号Int. A<j>, Int. A<m>…Int. A<n>を受けるNAND回路562と、NAND回路562の出力を受けて反転するインバータ564と、テストモード信号TMRSを受けて反転するインバータ566と、テストモード信号TMRSの活性化に応じてインバータ564の出力を受けて反転するクロックドインバータ568と、クロックドインバータ568の出力およびリセット信号RESETを

受けてテストモード信号TM00nを出力するNOR回路570と、NOR回路570の出力を受けて反転しクロックドインバータ568の出力ノードに与えるインバータ572を含む。

【0011】図20は、従来のテストモードへの設定動作を説明するための動作波形図である。

【0012】図20を参照して、時刻t1では、特にコマンド信号は入力されていない。続く時刻t2において、制御信号Ext. /CS, Ext. /RAS, Ext. /CAS, Ext. /WEがともに“L”レベルに設定されるとモードレジスタセットコマンドの入力を検出してコマンドデコーダ546が信号MRSとしてワンショットパルスが発生する。このときに内部アドレス信号Int. A<7>が“H”レベルに設定されていればテストモードエントリコマンドが認識され、テストモード信号TMRSとしてワンショットパルスが発生する。このときの内部アドレス信号Int. A<0:6>の組合せ、すなわち、設定値V001に応じてテストモードデコーダ552はテストモード信号TM001を活性化させる。

【0013】同様に時刻t4においてはテストモードエントリコマンドに応じてテストモード信号TMRSにワンショットパルスが現われる。このときのアドレスの組合せを変更することにより違うテストモードを設定することが可能となる。たとえばアドレス信号による組合せの設定値がV002であるときにテストモード信号TM002が活性化される。

【0014】

【発明が解決しようとする課題】従来のテストモードの設定に関する回路構成では、内部アドレス信号の組合せによってテストモードの種類が決定される。したがって、外部から与えることが可能なアドレス信号の数によって設定可能なテストモードの数が制限されるという問題点がある。すなわち、アドレスの組合せ以上にテストモードの種類を増やすことができないという問題点があった。この発明の目的は、外部から与える信号の数によらずに多数のテストモードを設けることができる半導体記憶装置を提供することである。

【0015】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、複数のテストモードを有する半導体記憶装置であって、カウント値を保持し、リセット信号に応じてカウント値を初期化し、クロック信号に応じてカウント値を増減させるカウント動作を行ない、カウント値に応じて複数のテストモードにそれぞれ対応する複数のテストモード信号を出力するテスト回路と、複数のテストモード信号に応じて複数のテストモードに対応するテスト動作を行なう内部回路とを備える。

【0016】請求項2に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、内部回路

は、行列状に配列された複数のメモリセルを有し、アドレス信号および制御信号に応じて複数のメモリセルに対するデータの授受を行なうデータ記憶部を含み、テスト回路は、アドレス信号および制御信号が所定の第1の設定に一致した場合にクロック信号に応じて第1のテストクロック信号を出力する制御回路と、カウント値を保持し、リセット信号に応じてカウント値を初期化し、第1のテストクロック信号に応じてカウント値を増加させるカウント動作を行なう第1のカウント手段とを含む。

【0017】請求項3に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、第1のカウント手段は、リセット信号に応じて、第1の論理値を保持する初期状態となり、第1のテストクロック信号に応じて第1の論理値の反転値を保持する第1の保持回路と、第1の保持回路の出力を受け、リセット信号に応じて、第1の論理値の反転値を保持する初期状態となり、直列に接続される複数の第2の保持回路とを含み、複数の第2の保持回路の各々は、第1のテストクロック信号に同期してデータを受け次段に伝達する。

【0018】請求項4に記載の半導体記憶装置は、請求項3に記載の半導体記憶装置の構成に加えて、テスト回路は、第2のテストクロック信号に応じて第1のカウント手段の出力をラッチするテストモード保持手段をさらに含み、テストモード保持手段は、アドレス信号および制御信号が所定の第2の設定に一致した場合にクロック信号に応じて第2のテストクロック信号を出力するラッチ制御回路と、リセット信号に応じて初期化され、複数の第2の保持回路の出力を第2のテストクロック信号に応じてそれぞれラッチする複数のラッチ回路とを有する。

【0019】請求項5に記載の半導体記憶装置は、請求項4に記載の半導体記憶装置の構成において、各ラッチ回路は、リセット信号に応じて第1の論理値の反転値を保持する初期状態となり、入力に第1の論理値が与えられているときに、第2のテストクロック信号が変化すると第1の論理値を保持し、一旦第1の論理値を保持した後は、入力に第1の論理値の反転値が与えられている場合に第2のテストクロック信号が変化しても第1の論理値を保持しつづける。

【0020】請求項6に記載の半導体記憶装置は、請求項4に記載の半導体記憶装置の構成に加えて、テスト回路は、第3のテストクロック信号の活性化に応じてテストモード保持手段の出力を内部回路に出力するテスト信号出力手段をさらに含む。

【0021】請求項7に記載の半導体記憶装置は、請求項4に記載の半導体記憶装置の構成に加えて、テスト回路は、第2のカウント値を保持し、リセット信号に応じて第2のカウント値を初期化し、第3のテストクロック信号に応じて第2のカウント値を増加させるカウント動作を行ない、複数の第2の保持回路のうちの第2のカウ

ント値に対応する部分を初期化する第2のカウント手段をさらに含む。

【0022】請求項8に記載の半導体記憶装置は、請求項7に記載の半導体記憶装置の構成に加えて、第2のカウント手段は、リセット信号に応じて、第2の論理値を保持する初期状態となる第3の保持回路と、第3の保持回路の出力を受け、リセット信号に応じて、第2の論理値の反転値を保持する初期状態となり、直列に接続される複数の第4の保持回路とを含み、複数の第4の保持回路の各々は、第3のテストクロック信号に同期してデータを受け次段に伝達する。

【0023】請求項9に記載の半導体記憶装置は、請求項7に記載の半導体記憶装置の構成に加えて奏する効果に加えて、前記テスト回路は、第4のテストクロック信号の活性化に応じて前記テストモード保持手段の出力を前記内部回路に出力するテスト信号出力手段をさらに含む。

【0024】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0025】〔実施の形態1〕図1は、本発明の半導体記憶装置1の全体構成を示したブロック図である。

【0026】図1を参照して、半導体記憶装置1は、各々が行列状に配列される複数のメモリセルを有するメモリアレイバンク14#0~14#3と、外部から与えられるアドレス信号 E_{xt} 、 $ADD<0:12>$ およびバンクアドレス信号 $BA_0\sim BA_1$ をクロック信号 I_{nt} 、 CLK に同期して取込み、内部行アドレス、内部列アドレスおよび内部バンクアドレスを出力するアドレスバッファ2と、外部からクロック信号 E_{xt} 、 CLK およびクロックイネーブル信号 CKE を受けて半導体記憶装置内部で用いられるクロック信号 I_{nt} 、 CLK 、 $CLKQ$ を出力するクロックバッファ4と、外部から与えられる制御信号 E_{xt} 、 $/CS$ 、 E_{xt} 、 $/RAS$ 、 E_{xt} 、 $/CAS$ 、 E_{xt} 、 $/WE$ をクロック信号 I_{nt} 、 CLK に同期して取込む制御信号入力バッファ6とを含む。

【0027】メモリアレイバンク14#0~14#3の各々は、行列状に配置されたメモリセル MC と、メモリセル MC の行に対応して設けられる複数のワード線 WL と、メモリセル MC の列に対応して設けられるビット線対 BLP とを含む。

【0028】半導体記憶装置1は、さらに、アドレスバッファ2から内部アドレス信号を受け、かつ、制御信号入力バッファ6からクロック信号に同期化された制御信号 I_{nt} 、 $/CS$ 、 I_{nt} 、 $/RAS$ 、 I_{nt} 、 $/CAS$ 、 I_{nt} 、 $/WE$ を受けてクロック信号 I_{nt} 、 CLK に同期して各ブロックに制御信号を出力するコントロール回路と、コントロール回路で認識された動作モード

を保持するモードレジスタとを含む。図1においては、コントロール回路とモードレジスタとを1つのブロック8で示す。

【0029】コントロール回路は、テスト信号TM001～TM00nを発生するテスト回路を含んでいる。半導体記憶装置の種々の検査が容易に実行できるように、各ブロックは、テスト信号TM001～TM00nに応じて制御される。

【0030】半導体記憶装置1は、さらに、メモリアレイバンク14#0～14#3にそれぞれ対応して設けられ、アドレスバッファ2から与えられた行アドレス信号Xをデコードする行デコーダと、これらの行デコーダの出力信号に従ってメモリアレイバンク14#0～14#3の内部のアドレス指定された行(ワード線)を選択状態へ駆動するためのワードドライバとを含む。図1では、行デコーダとワードドライバをまとめてブロック10#0～10#3として示す。

【0031】半導体記憶装置1は、さらに、アドレスバッファ2から与えられた内部列アドレス信号Yをデコードして列選択信号を発生する列デコーダ12#0～12#3と、メモリアレイバンク14#0～14#3の選択行に接続されるメモリセルのデータの検知および増幅を行なうセンスアンプ16#0～16#3とを含む。

【0032】半導体記憶装置1は、さらに、外部から書込データを受けて内部書込データを生成する入力バッファ22と、入力バッファ22からの内部書込データを増幅して選択メモリセルへ伝達するライトドライバと、選択メモリセルから読出されたデータを増幅するプリアンプと、このプリアンプからのデータをさらにバッファ処理して外部に出力する出力バッファ20とを含む。

【0033】プリアンプおよびライトドライバは、メモリアレイバンク14#0～14#3に対応してそれぞれ設けられている。図1では、プリアンプとライトドライバは1つのブロックとしてブロック18#0～18#3として示される。

【0034】入力バッファ22は、外部から端子に与えられるデータDQ0～DQ15をクロック信号CLKQに応じて内部に取込む。

【0035】出力バッファ20は、半導体記憶装置1が外部にデータを出力するときに、クロック信号CLKQに同期してデータDQ0～DQ15を出力する。

【0036】図2は、図1におけるブロック8のコントロール回路が含むテストモード設定に関する構成を説明するためのブロック図である。

【0037】図2を参照して、半導体記憶装置1は、外部クロック信号Ext. CLKを受けて内部クロック信号Int. CLKを出力する入力バッファ32と、制御信号Ext. /CS, Ext. /RAS, Ext. /CAS, Ext. /WEを受けて内部制御信号Int. /CS, Int. /RAS, Int. /CAS, Int.

/WEを出力する制御信号入力バッファ6と、内部クロック信号Int. CLKおよび内部制御信号Int. /CS, Int. /RAS, Int. /CAS, Int. /WEに応じてコマンドを検出するコマンドデコーダ46とを含む。制御信号入力バッファ6は、外部制御信号Ext. /CS, Ext. /RAS, Ext. /CAS, Ext. /WEをそれぞれ受けて内部制御信号Int. /CS, Int. /RAS, Int. /CAS, Int. /WEを出力する入力バッファ34, 36, 38, 40を含む。

【0038】半導体記憶装置は、さらに、外部アドレス信号を受けて内部アドレス信号を出力するアドレスバッファ2を含む。アドレスバッファ2は、外部アドレス信号Ext. ADD<7>を受けて内部アドレス信号Int. A<7>を出力する入力バッファ42と、外部アドレス信号Ext. ADD<0:6>を受けて内部アドレス信号を出力する入力バッファ44とを含む。

【0039】半導体記憶装置は、さらに、コマンドデコーダが出力する信号MRSおよび内部アドレス信号Int. A<7>を受けて信号TMRSを出力するAND回路48と、内部アドレス信号Int. A<n>, Int. A<m>, 信号TMRSおよびパワーオンリセット信号/PORに応じてテストモードセレクト信号TMSelectおよびリセット信号RESETを出力するシフト制御回路50と、テストモードセレクト信号TMSelectとリセット信号RESETとに応じてテストモード信号TM001～TM00nを出力するテストモード信号発生回路52とを含む。

【0040】図3は、図2におけるシフト制御回路50の構成を示した回路図である。シフト制御回路50は、信号TMRSおよび内部アドレス信号Int. A<n>を受けるNAND回路62と、NAND回路62の出力を受けて反転しテストモードセレクト信号TMSelectを出力するインバータ64と、信号TMRSおよび内部アドレス信号Int. A<m>を受けるNAND回路66と、NAND回路66の出力とパワーオンリセット信号/PORを受けてリセット信号RESETを出力するNAND回路68とを含む。

【0041】図4は、図2におけるテストモード信号発生回路52の構成を示した回路図である。

【0042】図4を参照して、テストモード信号発生回路52は、リセット信号RESETに応じて保持データが“H”に初期化されテストモードセレクト信号TMSelectに応じて保持データが“L”に設定される初期設定回路72と、初期設定回路72に直列に接続されるシフト回路74. 1～74. nとを含む。

【0043】シフト回路74. 1～74. nは、リセット信号RESETに応じて内部データが“L”に初期化される。シフト回路74. 1～74. nは、テストモードセレクト信号TMSelectに応じて各々の入力に

与えられたテストモード信号を取込んでそれぞれテストモード信号TM001～TM00nを出力する。

【0044】図5は、図4における初期設定回路72の構成を示した回路図である。図5を参照して、初期設定回路72は、リセット信号RESETを受けて反転するインバータ83と、テストモードセレクト信号TMSelectを受けて反転するインバータ82と、インバータ82の出力を一方の入力に受けてテストモード信号/TM00を出力するNAND回路88と、NAND回路88の出力およびインバータ83の出力を受けてテストモード信号TM00を出力するNAND回路89とを含む。NAND回路88の他方の入力には、NAND回路89の出力が与えられる。

【0045】図6は、図4におけるシフト回路74.1の構成を示した回路図である。図6を参照して、シフト回路74.1は、テストモードセレクト信号TMSelectを受けて反転するインバータと90と、テストモード信号/TM00とインバータ90の出力とを受けるNAND回路91と、テストモード信号TM00とインバータ90の出力とを受けるNAND回路92と、リセット信号RESETを受けて反転するインバータと93と、NAND回路91の出力を一方の入力に受けるNAND回路94と、NAND回路92、94、インバータ93の出力を受ける3入力のNAND回路95とを含む。NAND回路95の出力はNAND回路94の他方の入力に与えられる。

【0046】シフト回路74は、さらに、テストモードセレクト信号TMSelectとNAND回路94の出力とを受けるNAND回路96と、テストモードセレクト信号TMSelectとNAND回路95の出力とを受けるNAND回路97と、NAND回路98の出力を一方の入力に受けてテストモード信号/TM001を出力するNAND回路98と、NAND回路97、98、インバータ93の出力を受けてテストモード信号TM001を出力する3入力のNAND回路99とを含む。NAND回路99の出力はNAND回路98の他方の入力に与えられる。

【0047】なお、図4のシフト回路74.2～74.nは、図6に示したシフト回路74.1と同様な構成を有するので説明は繰返さない。

【0048】図7は、実施の形態1の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【0049】図7を参照して、時刻t2において、外部制御信号Ext./CS, Ext./RAS, Ext./CAS, Ext./WEがすべて“L”レベルに設定されると図2のコマンドデコードによってモードレジスタセットコマンドが認識され、クロック信号Ext.CLKの立上がりに応じて信号MRSにパルスが現れる。このとき、内部アドレス信号Ext.ADD<7>が

“H”レベルに設定されているので、信号TMRSにワンショットパルスが現われる。

【0050】そして、内部アドレス信号Int.A<0:6>によって与えられる設定値の設定によってテストモードコマンドが入力される。設定値V001であれば図3に示したシフト制御回路50によってリセット信号RESETが活性化される。すなわち値V001は、少なくとも図3の内部アドレス信号Int.A<m>が“H”レベルに設定される設定値である。

【0051】すると、図4に示したテストモード信号発生回路52の各シフト回路が初期化される。初期状態において初期設定回路72はテストモード信号TM00として“H”レベルを出力しシフト回路74.1～74.nはテストモード信号TM001～TM00nとして“L”レベルを出力する。

【0052】続いて時刻t3において、再びモードレジスタセットコマンドが入力され信号TMRSに応じてワンショットパルスが現われる。このときに内部アドレス信号Int.A<0:6>の設定値V002によってテストモードセレクトコマンドが与えられる。応じてテストモードセレクト信号TMSelectが活性化される。

【0053】すると、初期設定回路72には“L”の情報がセットされ、同時にシフト回路74.1～74.nは与えられた入力を取込んでデータのシフトを行なう。すなわち初期設定回路72に保持されていた“H”の情報はシフト回路74.1に転送される。したがってセレクト信号TMSelectの活性化に応じて、テストモード信号TM00が“H”レベルから“L”レベルに立下がり、テストモード信号TM001が“L”レベルから“H”レベルに立上がる。このようにして第1のテストモードが選択される。

【0054】続いて時刻t4において、同様にテストモードセレクトコマンドが与えられ、このときに内部アドレス信号Int.A<0:6>の設定が設定値V002であるのでテストモードセレクト信号TMSelectが活性化され応じてシフト回路74.1～74.nはシフト動作を行なう。すると第1のテストモードは非選択となり、第2のテストモードが選択される。

【0055】以上説明したように、複数のテストモードが存在する場合において、シフト回路を数多く設けることにより、コマンド2種類すなわちテストモードリセットコマンドおよびテストモードセレクトコマンドによって1つのテストモードを選択することが可能となる。このようにすれば外部から与える信号の組合せによってテストモードを指定する場合よりも多数のテストモードを使用することが可能となる。

【0056】また、実施の形態1では、テストモードリセットコマンドを設けているが、電源投入時にパルスとして出力されるパワーオンリセット信号のみでテストモ

ード回路をリセットするようにすれば上記の2種類のコマンドは1種類で済ますことも可能である。

【0057】特に、SDRAMにおいては、モードレジスタセット時に外部アドレス信号Ext. A<7>を“H”レベルに設定するとアドレス信号によってテストモードを設定できる状態となる。このとき、アドレス信号の組合せ1セットによって与えられるコマンド1つで多くの異なるテストモードに設定することが可能である。つまり、シフトレジスタのシフトクロックであるテストモードセレクト信号TMSelectを活性化させるコマンド1つを有しておればテストモード信号TM001～TM00nのうち所望の1つを活性化させる状態に設定することが可能となる。したがってアドレス信号の入力ピン数に制限されずテストモードを増やすことができる。

【0058】【実施の形態2】実施の形態1では、テストモード信号TM001～TM00nのうち所望の1つを活性化させる場合を説明した。しかし、各テストモード信号に所定のテストを対応させた場合に、同時に2以上のテストを並行して実施したい場合もある。

【0059】このような場合には、新たにシフト回路を追加して、そのシフト回路に“H”が設定されると、2つのテストモード信号が活性化されるようなゲート回路を設けてもよい。

【0060】しかし、この場合は、半導体記憶装置を製造する前に予め同時に実施するテストの組合せを予測することが必要となる。一方、すべての組合せに対応してシフト回路を設けるのはテスト回路が複雑になるのであまり現実的ではない。

【0061】図8は、実施の形態2におけるテストモード信号発生回路52aの構成を示した回路図である。

【0062】図8を参照して、テストモード信号発生回路52aは、図4に示したテストモード信号発生回路をデータシフト部102として含み、さらに、テストモード信号TM001～TM00nを取込み保持するデータ保持部104を有する。データシフト部102の構成は図4で説明した構成と同様であり説明は繰返さない。

【0063】データ保持部104は、信号TMRsおよび内部アドレス信号Int. A<j>を受けるNAND回路106と、NAND回路106の出力を受けて信号ENTERを出力するインバータ108と、リセット信号RESETに応じて初期化され信号ENTERに応じてそれぞれテストモード信号TM001～TM00nを取込んでテストモード信号TM01～TM0nを出力するラッチ回路110. 1～110. nを含む。

【0064】ラッチ回路110. 1～110. nはリセット信号によって保持データが“L”に初期化され、その後は入力信号として“H”が与えられた場合にのみデータをラッチするラッチ回路である。

【0065】図1ではテストモード信号TM001～T

M00nが各内部回路に与えられていたが、実施の形態3ではテストモード信号TM1～TMnが各内部回路に与えられる。

【0066】図9は、図8におけるラッチ回路110. 1～110. nとして用いられるラッチ回路110の構成を示した回路図である。

【0067】図9を参照して、ラッチ回路110は、テストモード信号TM00nおよび信号ENTERを受けてNAND回路112と、NAND回路112の出力を受けて反転するインバータ116と、インバータ116の出力に応じて活性化されテストモード信号TM00nを受けて反転するクロックドインバータ114と、リセット信号RESETおよびクロックドインバータ114の出力を受けるNOR回路118と、NOR回路118の出力を受けて反転しクロックドインバータ114の出力ノードを駆動するインバータ120を含む。NOR回路118の出力はテストモード信号TM0nとなる。

【0068】図10は、実施の形態2の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【0069】図10を参照して、時刻t1、t2において、内部アドレス信号の設定値V002に応じてテストモードセレクトコマンドが入力されテストモードセレクト信号TMSelectにパルスが現われ、図8のデータシフト部102の保持データがシフトするのは実施の形態1の場合と同様であり説明は繰返さない。

【0070】時刻t3において、内部アドレス信号Int. A<j>が“H”レベルに設定される設定値V003が与えられ、信号ENTERが活性化される。すると、このとき“H”レベルとなっているテストモード信号TM002がデータ保持部104に取込まれ、その結果テストモード信号TM02が“L”レベルから“H”レベルに変化する。

【0071】時刻t4において、再び設定値V002が与えられデータのシフトが行なわれテストモード信号TM003が“L”レベルから“H”レベルに立上がる。

【0072】時刻t5において、再び設定値V003が与えられ信号ENTERが活性化し、このとき“H”レベルとなっている信号TM003の設定がテストモード信号TM03として取込まれる。この結果時刻t5においてはテストモード信号TM02およびテストモード信号TM03が“H”レベルに設定されることになる。

【0073】シフト部に保持された“H”データがテストモードセレクトコマンドの入力に応じて順次シフトする構成を採用した場合、すなわちテストモードセレクトコマンドの入力回数をシフトレジスタによってカウントする場合には、各レジスタをテストモード信号に対応させるとわかりやすい。

【0074】実施の形態2の半導体記憶装置では、以上説明したように、信号ENTERを活性化させるテスト

モードエンターコマンドを設けることにより、テストモード信号をデータ保持部104に保持させるので、シフトレジスタを用いた構成でも複数のテストモード信号を同時に活性化させることができる。したがって、複数のテストモードが同時に選択可能となる。

【0075】〔実施の形態3〕実施の形態2の場合では、テストモード信号を同時に活性化させるための構成を説明した。しかし、たとえば、第1～第3のテストがあった場合に、第2、第3のテストを同時に実施したいとき、実施の形態2の場合では、テストモードの設定の経過において、第2のテストに対応するテストモード信号のみが活性化される場合がある。このような、設定の途中段階では、テストモード信号を出力しない方が望ましい場合もある。

【0076】図11は、実施の形態3の半導体記憶装置で用いられるテストモード信号発生回路52bの構成を示した回路図である。

【0077】図11を参照して、テストモード信号発生回路52bは、図8で示したテストモード信号発生回路52aの構成においてテストモード信号TM01～TM0nを受けてテストモード信号TM1～TMnを出力するデータ伝達部130をさらに含む。図1ではテストモード信号TM001～TM00nが各内部回路に与えられていたが、実施の形態3ではテストモード信号TM1～TMnが各内部回路に与えられる。他の部分の構成は図8で示したテストモード信号発生回路52aと同様であり説明は繰返さない。

【0078】データ伝達部130は、信号TMRsおよび内部アドレス信号Int. A<k>を受けるNAND回路132と、リセット信号RESETを受けて反転するインバータ131と、一方の入力にNAND回路132の出力を受け、信号ENABLEを出力するNAND回路134と、信号ENABLEとインバータ131の出力を受けるNAND回路133とを含む。NAND回路134の他方の入力、NAND回路133の出力を受ける。

【0079】データ伝達部130は、さらに、イネーブル信号ENABLEの活性化に応じてテストモード信号TM01～TM0nをそれぞれ受けテストモード信号TM1～TMnを出力するテスト信号出力回路136。1～136. nとを含む。

【0080】図12は、図11におけるテスト信号出力回路136。1～136. nとして用いられるテスト信号出力回路136の構成を示した回路図である。

【0081】図12を参照して、テスト信号出力回路136は、イネーブル信号ENABLEを受けて反転するインバータ142と、イネーブル信号ENABLEの活性化に応じてテストモード信号TM0nを伝達するトランスミッションゲート144と、トランスミッションゲート144によって伝達されるテストモード信号TM0

nとイネーブル信号ENABLEとを受けるNAND回路146と、NAND回路146の出力を受けて反転しテストモード信号TMnを出力するインバータ148とを含む。

【0082】図13は、実施の形態3の半導体記憶装置のテストモードの設定動作を説明するための動作波形図である。

【0083】図11、図13を参照して、時刻t1において、内部アドレス信号によって設定値V002が与えられ、応じてテストモードセレクト信号TMSelectが活性化し、テストモード信号TM001が活性化される。続いて時刻t2において、同様にテストモードセレクト信号TMSelectが活性化され応じてテストモード信号TM001は非活性化され、代わりにテストモード信号TM002が活性化される。

【0084】時刻t3において、内部アドレス信号によって設定値V003が与えられるため、信号ENTERが活性化し、このとき“H”レベルとなっているテストモード信号TM002の値がラッチ回路110に取込まれ、その結果テストモード信号TM02が“L”レベルから“H”レベルに活性化される。

【0085】時刻t4において、シフト回路によるシフト動作が行なわれた結果テストモード信号TM002は立下がり、代わりにテストモード信号TM003が“H”レベルに活性化される。

【0086】続いて時刻t5において、再び設定値V003に応じて信号ENTERが活性化され、その結果テストモード信号TM03が“L”レベルから“H”レベルに活性化する。時刻t1～t5によって設定したいテストモードがデータ保持部104に設定されたため、時刻t6において、内部アドレス信号によって設定値V004が与えられるとイネーブル信号ENABLEが活性化しデータ伝達部130にデータ保持部104のデータが取込まれる。その結果テストモード信号TM2、TM3が“L”レベルから“H”レベルに活性化される。

【0087】実施の形態2の場合においては、設定値V003に対応するテストモードエンターコマンドを入力するとテストモードが設定されてしまうため、たとえば第2のテストと第3のテストとを同時に実施したい場合であっても、図13の時刻t3～t5の間は第2のテストのみが実行されている状態になってしまう。

【0088】実施の形態3では、テストモードイネーブルコマンドを設けイネーブル信号ENABLEによってデータを出力するデータ伝達部130を設けることにより、テストモード選択中はテストモードが設定されず、テストモードの選択が完了した後にテストモードに設定されるように動作を制御することが可能となる。

【0089】なお、実施の形態3では、図8で示した実施の形態2のテストモード信号発生回路52aを変形する場合を説明しているが、図4で説明した実施の形態1

のテストモード信号発生回路に図11におけるデータ伝達部130を付加することによっても同様な効果が得られる。

【0090】[実施の形態4] 図14は、実施の形態4の半導体記憶装置のテスト信号の設定に関する構成を説明するためのブロック図である。

【0091】図14を参照して、実施の形態4の半導体記憶装置は、図2で示した実施の形態1の半導体記憶装置のテスト設定に関連する構成においてシフト制御回路50およびテストモード信号発生回路52に代えてシフト制御回路50c、テストモード信号発生回路52cを含む。

【0092】シフト制御回路50cは、入力バッファ44から内部アドレス信号Int. A<n>, Int. A<m>, Int. A<p>を受けテストモードリセットセレクト信号TMRSelectを出力する点が図2のシフト制御回路50と異なる。

【0093】テストモード信号発生回路52cは、シフト制御回路50cからテストモードリセットセレクト信号TMRSelect, テストモードセレクト信号TMSelectおよびリセット信号RESETを受けてテストモード信号TM01~TM0nを出力する点がテストモード信号発生回路52と異なる。

【0094】図14の他の構成は、図2で示した構成と同様であるので説明は繰返さない。図15は、図14におけるシフト制御回路50cの構成を示した回路図である。

【0095】図15を参照して、シフト制御回路50cは、図3に示したシフト制御回路50の構成に加えて信号TMRSおよび内部アドレス信号Int. A<p>を受けるNAND回路162と、NAND回路162の出力を受けて反転しテストモードリセットセレクト信号TMRSelectを出力するインバータ164とをさらに含む。他の構成は、図3に示したシフト制御回路50と同様であり説明は繰返さない。

【0096】図16は、図14におけるテストモード信号発生回路52cの構成を示した回路図である。

【0097】図16を参照して、テストモード信号発生回路52cは、図4に示したテストモード信号発生回路52をデータシフト部102として含み、さらにリセットするラッチの位置情報をシフトするデータシフト部172と、データシフト部102および172の出力に応じてデータがセットされるデータ保持部104cを含む。

【0098】データシフト部172は、リセット信号RESETの活性化に応じてデータ“H”がセットされる初期設定回路182と、初期設定回路182の出力を受ける直列に接続されたシフト回路184. 1~182. nを含む。

【0099】初期設定回路182は図5で示した初期設

定回路72と同様の構成を有しており、また、シフト回路184. 1~184. nは図6で示したシフト回路74と同様な構成を有しているため、これらの説明は繰返さない。

【0100】データ保持部104cは、信号TMRSおよび内部アドレス信号Int. A<j>を受けるNAND回路106と、NAND回路106の出力を受けて反転し信号ENTERを出力するインバータ108と、信号TMRSおよび内部アドレス信号Int. A<i>を受けるNAND回路174と、NAND回路174の出力を受けて反転し信号RENTERを出力するインバータ176とを含む。

【0101】データ保持部104cは、さらに、テストモードリセット信号TMR001および信号RENTERを受けるAND回路178. 1と、テストモード信号TMR00nと信号RENTERとを受けるAND回路178. nとを含む。

【0102】データ保持部104cは、さらに、信号ENTERの活性化に応じてテストモード信号TM001を取込み、AND回路178. 1が出力するテストモードリセット信号TMR01に応じて保持データのクリアを行なうラッチ回路110. 1と、信号ENTERの活性化に応じてテストモード信号TM00nを取込み、AND回路178. nが出力するテストモードリセット信号TMR0nに応じて保持データのクリアを行なうラッチ回路110. nとを含む。

【0103】なお、ラッチ回路110. 1~110. nは、図9で示したラッチ回路110と同様な構成を有しているため説明は繰返さない。

【0104】図17は、実施の形態4の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【0105】図17を参照して、時刻t1、t2において、データシフト部102におけるデータのシフトが行なわれテストモード信号TM002が“H”となる状態となる。

【0106】時刻t3において、信号ENTERが活性化され、それに応じてテストモード信号TM02が“H”レベルになる。

【0107】時刻t4において、再びテストモードセレクト信号TMSelectが活性化され、応じてデータシフト部102においてデータのシフトが行なわれテストモード信号TM003が“H”レベルの状態となる。

【0108】続いて時刻t5において、信号ENTERが活性化されテストモード信号TM03が“H”レベルとなる。この状態において第2のテストモードと第3のテストモードが同時に選択され必要なテストが行なわれることになる。

【0109】以降はこの設定された第2のテストモードおよび第3のテストモードをリセットする動作が行なわ

れる。

【0110】まず時刻 t_6 において、設定値V005によってテストモードリセットセレクトコマンドが入力された結果、テストモードリセットセレクト信号TMRSelectの活性化に応じて信号TMR001が“L”レベルから“H”レベルに活性化され、続いて時刻 t_7 において、再びコマンド入力に応じてテストモードリセットセレクト信号TMRSelectが活性化されるのでテストモードリセット信号TMR002が“H”レベルの状態となる。

【0111】時刻 t_8 において、設定値V006によってテストモードリセットエントリコマンドが入力されることにより信号RENTERが活性化し信号TMR02が活性化されるので、テストモード信号TM02は“L”レベルにリセットされる。

【0112】同様に時刻 t_9 において、信号TMR003が“H”レベルの状態に設定し、続いて時刻 t_{10} において、信号RENTERの活性化に応じて信号TMR03が活性化し、応じてテストモード信号TM03が“L”レベルにリセットされる。

【0113】以上説明したように、実施の形態4では、テストモードへの設定だけではなくテストモードのリセットも同様に所定のコマンドを入力することにより実施することができる。このように、テストモードへの設定だけでなくリセットも選択可能とすることにより、テストモードへのエントリ／リセットをよりフレキシブルに行なうことが可能となる。

【0114】なお、図16におけるラッチ回路110、1～110、nの出力部分に、図11におけるデータ伝達部130を付加することによって、実施の形態3の場合と同様に、テストモード選択中はテストモードが設定されず、テストモードの選択が完了した後にテストモードに設定されるように動作を制御することも可能となる。

【0115】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0116】

【発明の効果】請求項1、2に記載の半導体記憶装置は、外部からアドレス信号等を与える端子数に制限されることなく、多くのテストモードを設けることが可能である。

【0117】請求項3に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の奏する効果に加えて、テストモードを選択するためのシフトクロックが入力されると“H”を出力する保持回路の位置が順にシフトするので、クロックを計数するカウント手段の保持回路の出

力をそのままテストモードの設定信号に用いることができる。

【0118】請求項4、5に記載の半導体記憶装置は、請求項3に記載の半導体記憶装置の奏する効果に加えて、複数のテストを同時に行ないたい場合に、複数のテストモード信号を同時に活性化させることが可能となる。

【0119】請求項6に記載の半導体記憶装置は、請求項4に記載の半導体記憶装置の奏する効果に加えて、テストモードの選択の中途段階において、不完全な設定を内部回路に出力しないので、目的のテストを正確に行なうことができる。

【0120】請求項7、8に記載の半導体記憶装置は、請求項4に記載の半導体記憶装置の奏する効果に加えて、複数のテストモード信号を同時に活性化させた後であっても、選択的に任意のテストモード信号の非活性化を行なうことができる。

【0121】請求項9に記載の半導体記憶装置は、請求項7に記載の半導体記憶装置の奏する効果に加えて、テストモードの選択の中途段階において、不完全な設定を内部回路に出力しないので、目的のテストを正確に行なうことができる。

・【図面の簡単な説明】

【図1】 本発明の半導体記憶装置1の全体構成を示したブロック図である。

【図2】 図1におけるブロック8のコントロール回路が含むテストモード設定に関する構成を説明するためのブロック図である。

【図3】 図2におけるシフト制御回路50の構成を示した回路図である。

【図4】 図2におけるテストモード信号発生回路52の構成を示した回路図である。

【図5】 図4における初期設定回路72の構成を示した回路図である。

【図6】 図4におけるシフト回路74、1の構成を示した回路図である。

【図7】 実施の形態1の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【図8】 実施の形態2におけるテストモード信号発生回路52aの構成を示した回路図である。

【図9】 図8におけるラッチ回路110、1～110、nとして用いられるラッチ回路110の構成を示した回路図である。

【図10】 実施の形態2の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【図11】 実施の形態3の半導体記憶装置で用いられるテストモード信号発生回路52bの構成を示した回路図である。

【図12】 図11におけるテスト信号出力回路136、1～136、nとして用いられるテスト信号出力回

路136の構成を示した回路図である。

【図13】 実施の形態3の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【図14】 実施の形態4の半導体記憶装置のテスト信号の設定に関する構成を説明するためのブロック図である。

【図15】 図14におけるシフト制御回路50cの構成を示した回路図である。

【図16】 図14におけるテストモード信号発生回路52cの構成を示した回路図である。

【図17】 実施の形態4の半導体記憶装置のテストモード設定の動作を説明するための動作波形図である。

【図18】 従来の半導体記憶装置におけるテストモードの設定に関する回路構成を示した図である。

【図19】 図18におけるテストモードデコード552の構成を示した回路図である。

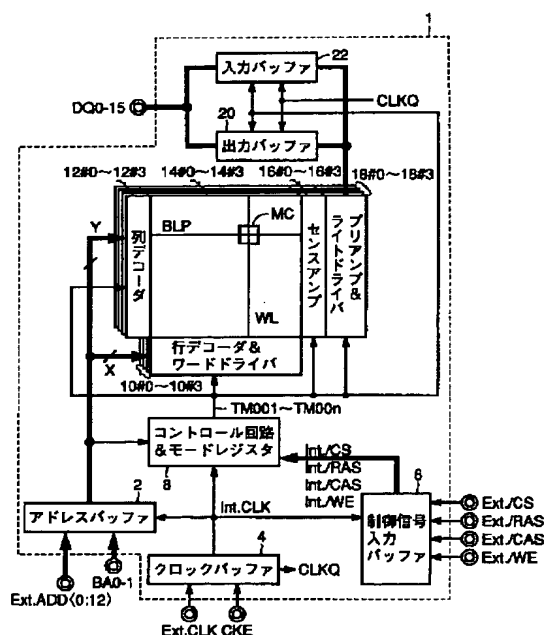
【図20】 従来のテストモードエントリの動作を説明するための動作波形図である。

【符号の説明】

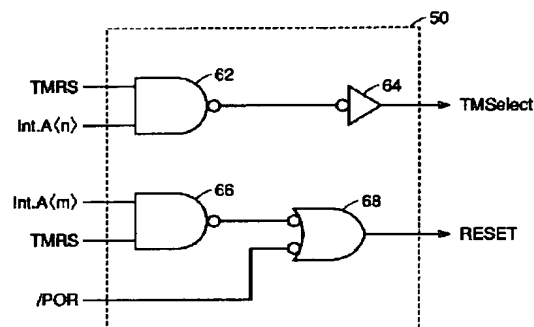
1 半導体記憶装置、2 アドレスバッファ、4 クロ

ックバッファ、6 制御信号入力バッファ、8, 10, 18 ブロック、12 列デコーダ、14 メモリアレイバンク、16 センスアンプ、20 出力バッファ、22, 32, 34, 36, 38, 40, 42, 44 入力バッファ、46 コマンドデコーダ、48, 178 AND回路、50, 50c シフト制御回路、52, 52a, 52b, 52c テストモード信号発生回路、62, 66, 68, 81, 82, 84~89, 91, 92, 94~99, 106, 112, 132, 162, 174NAND回路、64, 80, 83, 90, 93, 108, 116, 120, 134, 142, 146, 148, 164, 176 インバータ、72, 184初期設定回路、74, 182 シフト回路、102, 172 データシフト部、104, 104c データ保持部、110 ラッチ回路、114 クロックドインバータ、118 NOR回路、130 データ伝達部、136 テスト信号出力回路、144 トランсмисシオンゲート、BLP ビット線対、MC メモリセル、WL ワード線。

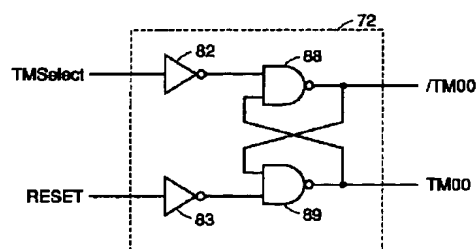
【図1】



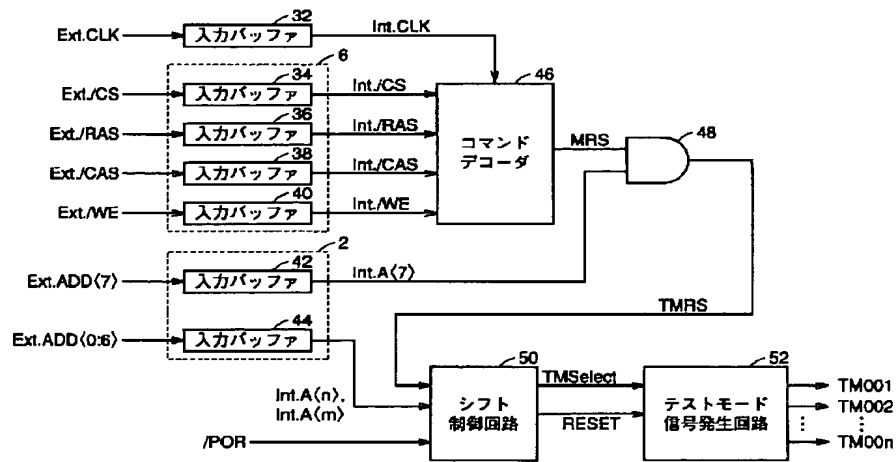
【図3】



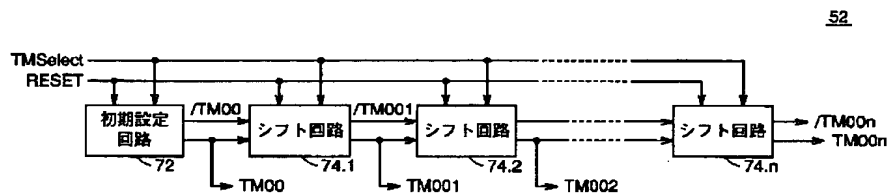
【図5】



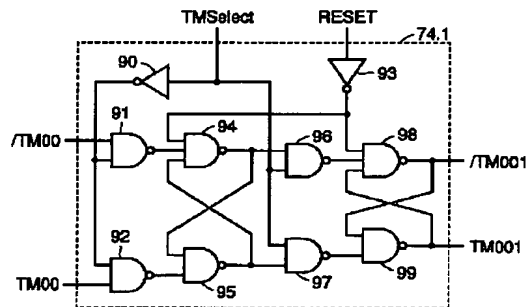
【図2】



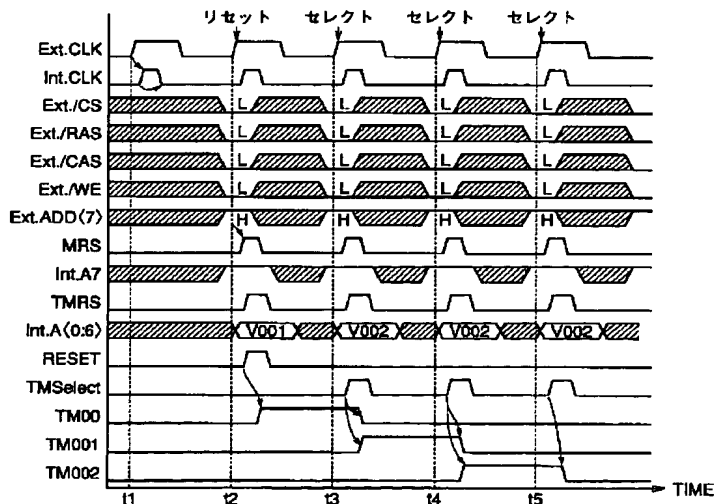
【図4】



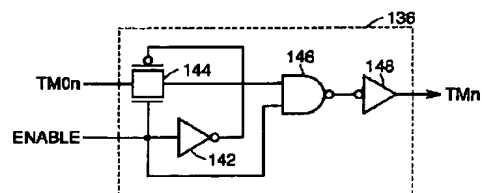
【図6】



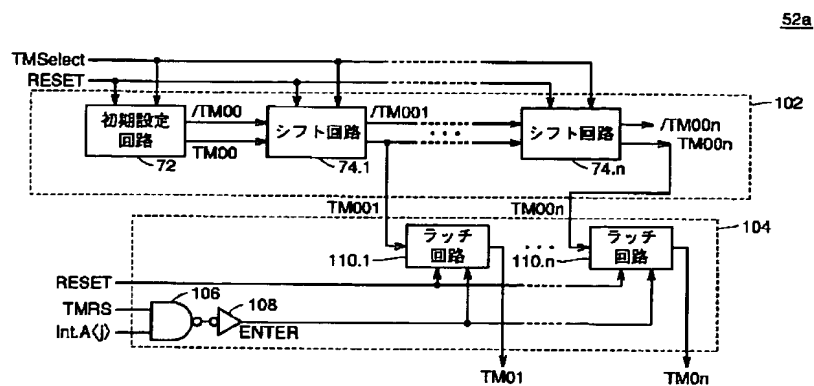
【図7】



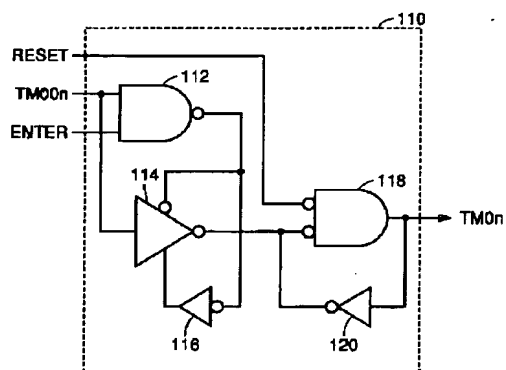
【図12】



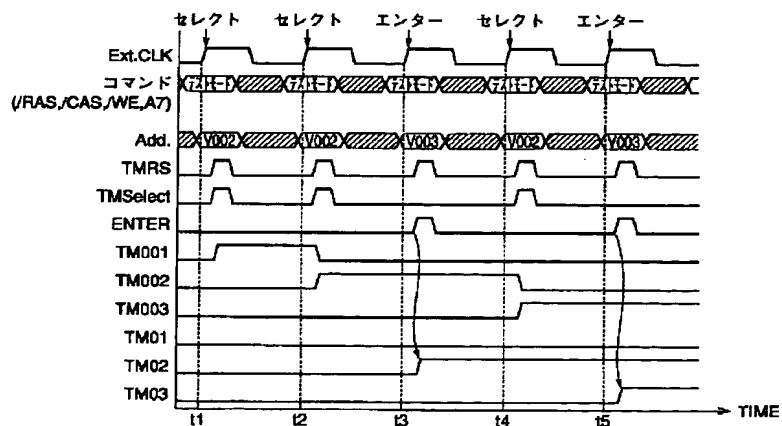
【図8】



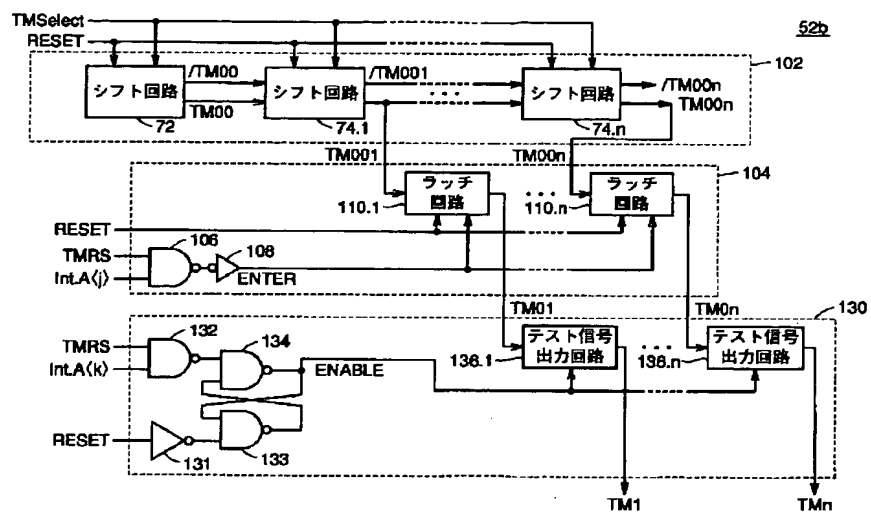
【図9】



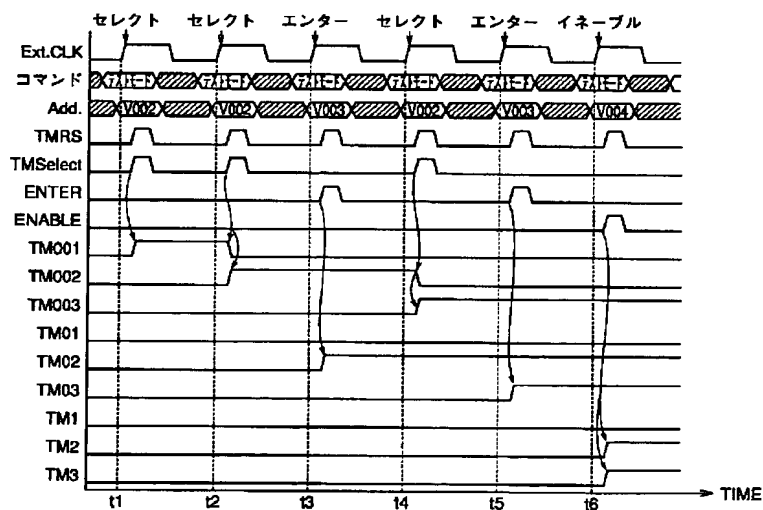
【図10】



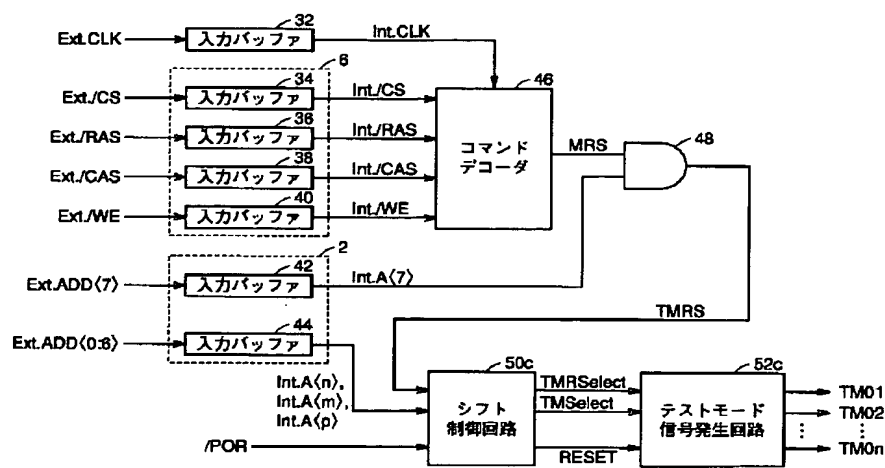
【図11】



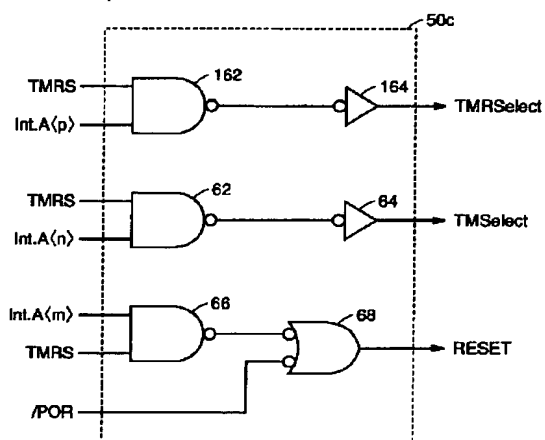
【図13】



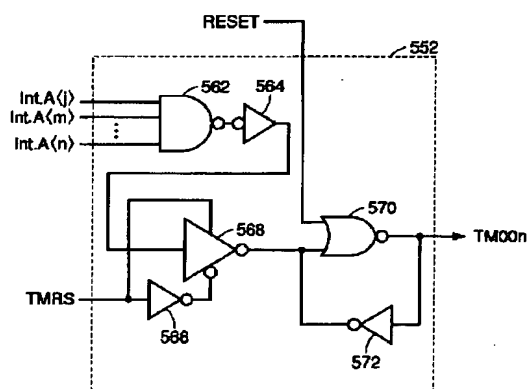
【図14】



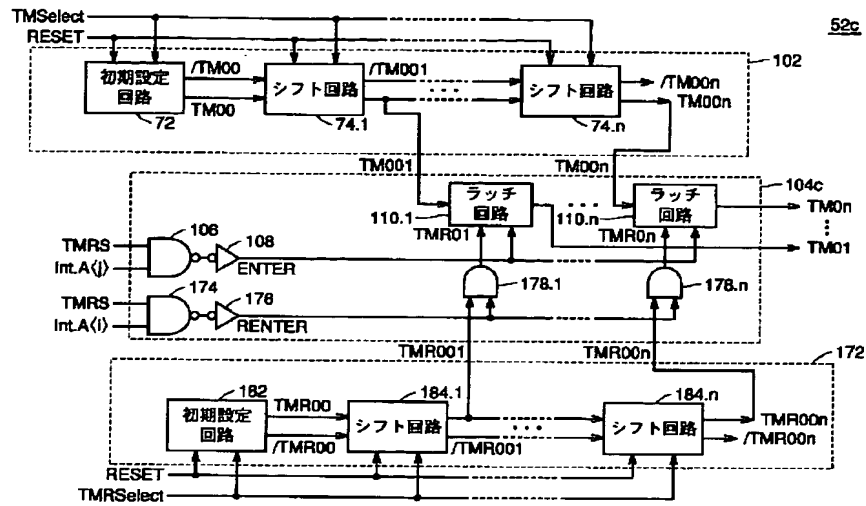
【図15】



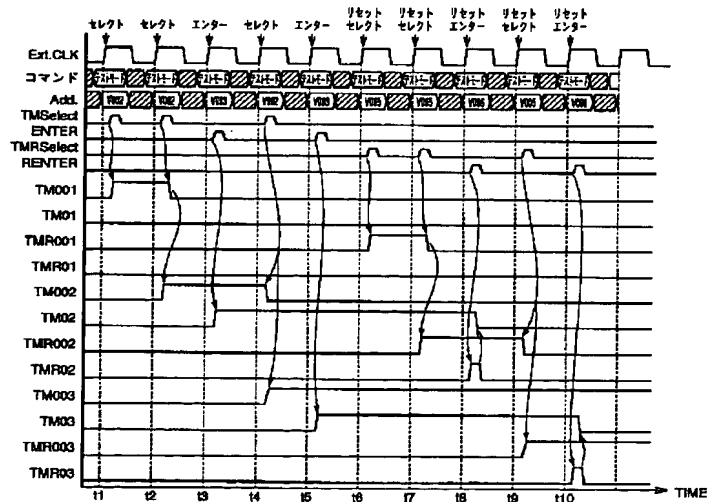
【図19】



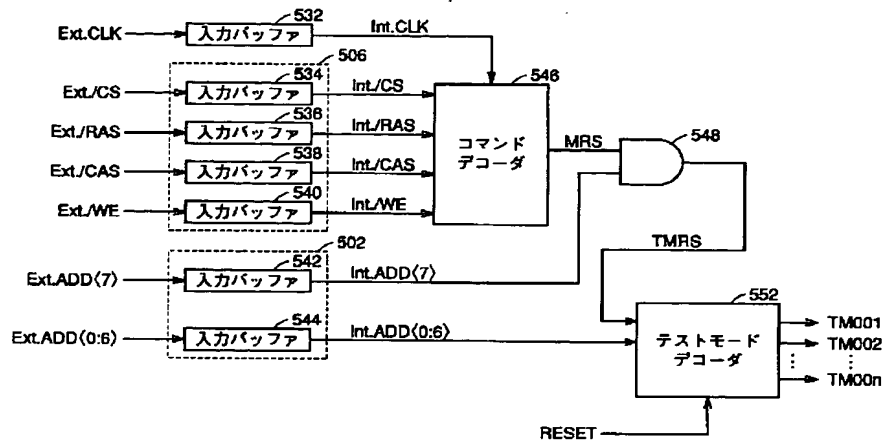
【図16】



【図17】



【図18】



【図20】

